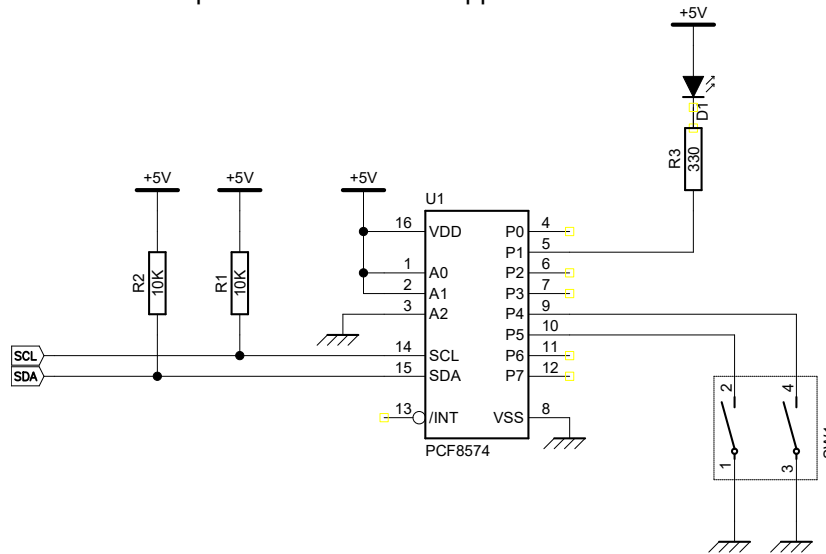


TD1_I2C: Bus I2C

Un résumé de la documentation du PCF8574 est donné en annexe.

Soit le montage ci-dessous : Les interrupteurs de SW1 sont supposés ouverts.

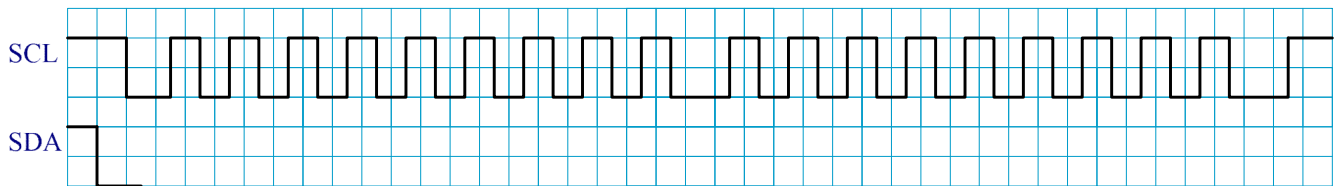


Les lignes SDA et SCL sont reliées à un PIC.

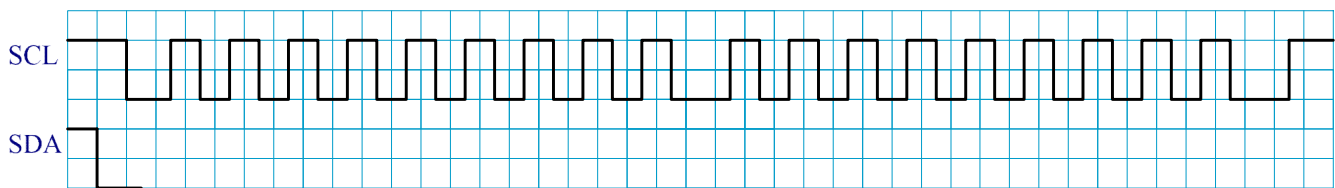
⇒ Justifier la présence des résistances R1 et R2 :

⇒ Déterminer l'adresse du circuit U1 :

⇒ Tracer les chronogrammes de SCL et SDA pour mettre les sorties P0 à P7 à 1.



⇒ Tracer les chronogrammes de SCL et SDA pour mettre uniquement la sortie P1 à 0.

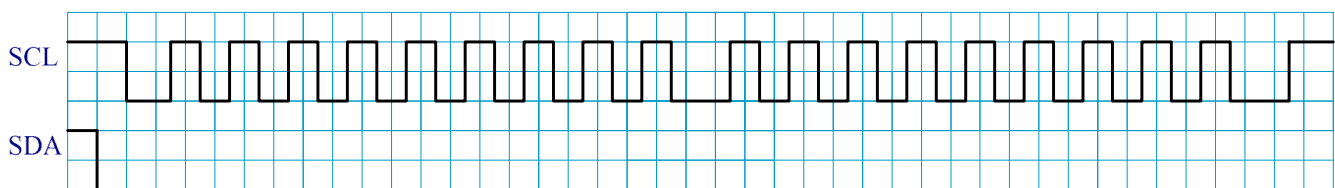


On ferme l'interrupteur SW1 (1-2), l'interrupteur SW1 (3-4) reste ouvert. (Seule la sortie P1 est à 0)

⇒ Expliquer pourquoi il n'y a pas de court circuit sur la sortie P5 (voir la structure interne du circuit PCF8574)

⇒ Tracer les chronogrammes de SCL et SDA lors de la lecture des valeurs présentes sur P0 à P7.

(Note : ces chronogrammes suivent les chronogrammes précédents : sortie P1 à 0, les autres sorties à 1).



PCF8574

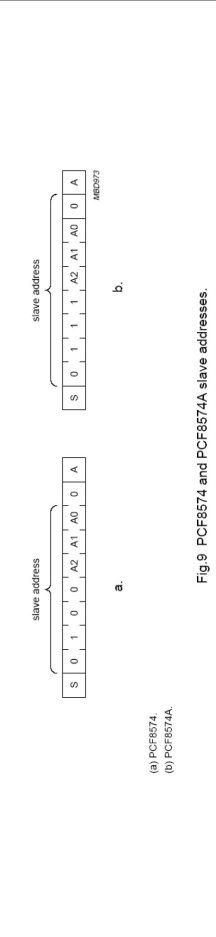
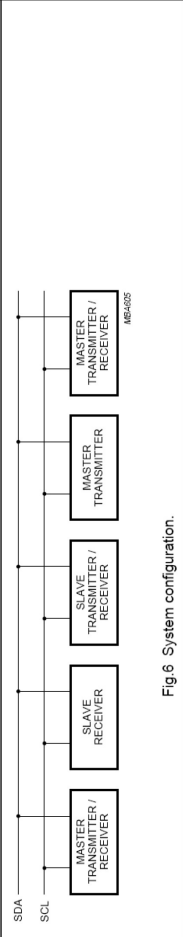
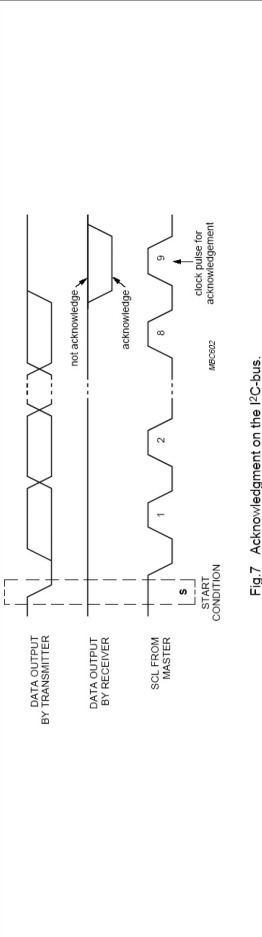
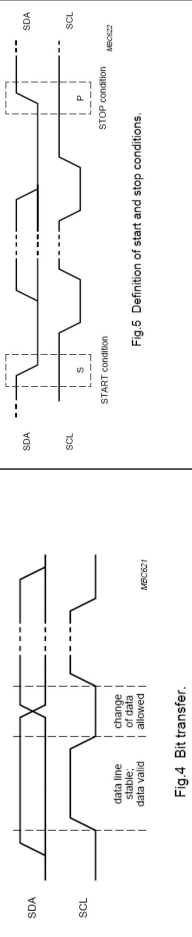
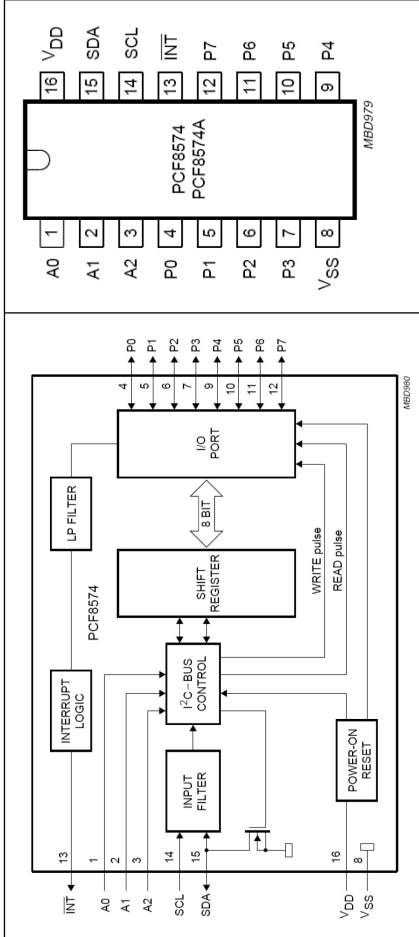
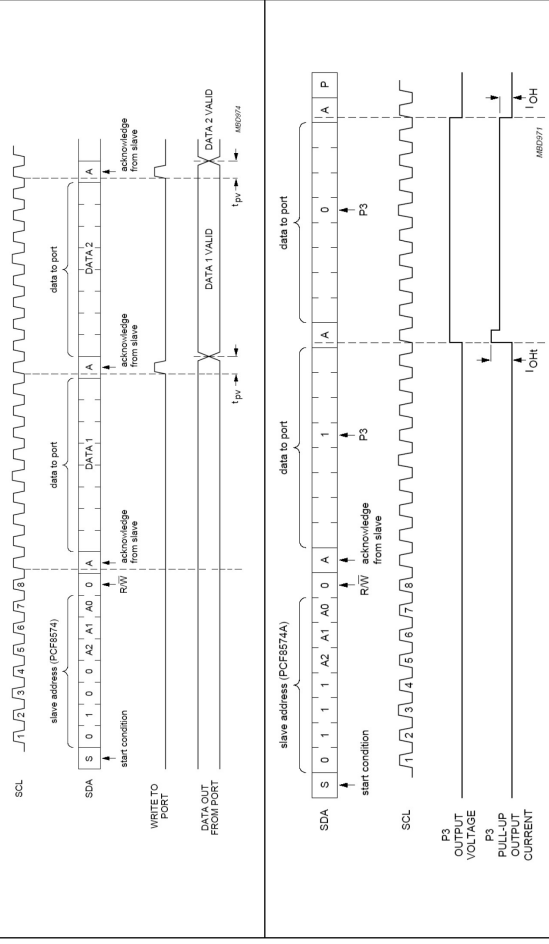
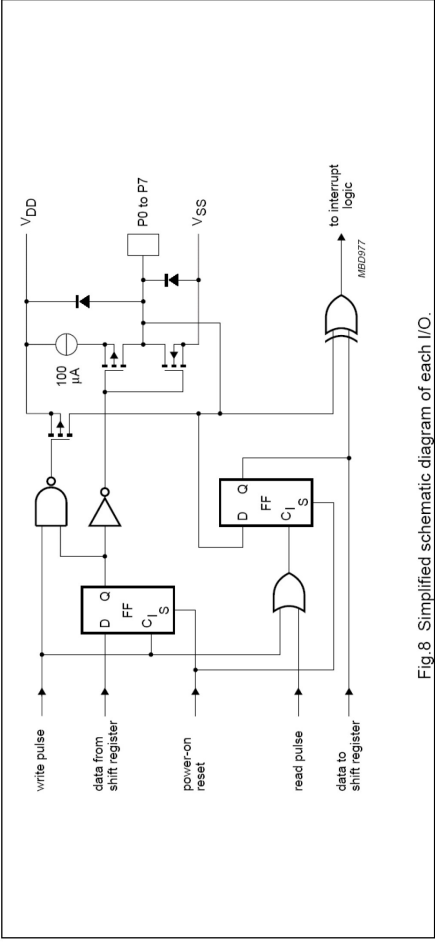


Fig. 9. PCF8574 and PCF8574A slave addresses.



SYMBOL	PARAMETER	MIN.	TYP.	MAX.	UNIT
I ² C-BUS TIMING (see Fig. 15, note 1)					
f _{SCL}	SCL clock frequency	—	—	100	kHz
t _{SEN}	holdable state without bus	—	—	100	ns
t _{BUF}	bus free time	4.7	—	—	µs
t _{SU,STA}	START condition setup time	4.7	—	—	µs
t _{HD,STA}	START condition hold time	4.0	—	—	µs
t _{LOW}	SCL LOW time	4.7	—	—	µs
t _{HIGH}	SCL HIGH time	4.0	—	—	µs
t _{SU,SDA}	SCL and SDA rise time	—	1.0	—	µs
t _{HD,SDA}	SCL and SDA fall time	—	1.0	—	µs
t _{SU,INT}	data setup time	250	—	—	ns
t _{HD,INT}	data hold time	0	—	—	ns
t _{LOW,INT}	SCL LOW to data out valid	—	—	3.4	µs
t _{SU,INT}	STOP condition setup time	4.0	—	—	µs

